

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-224715

(43)Date of publication of application : 08.08.2003

(51)Int.Cl.

H04N 1/393
G06T 3/40

(21)Application number : 2002-023480 (71)Applicant : SONY CORP

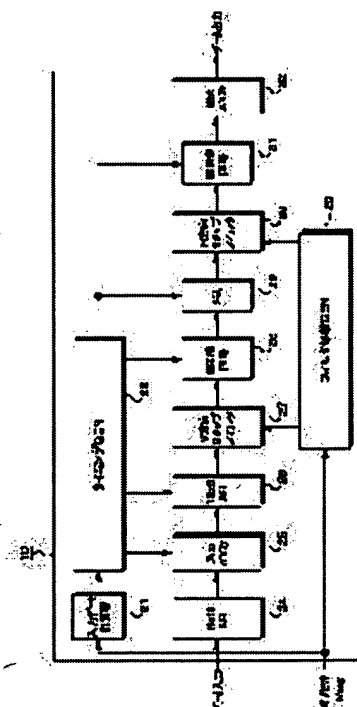
(22)Date of filing : 31.01.2002 (72)Inventor : TERADA SATOSHI

(54) IMAGE PROCESSING CIRCUIT AND IMAGE PROCESSING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the circuit scale of a circuit for performing expanding/ reducing processing (resolution converting) of an image.

SOLUTION: When applying expanding/reducing processing to image data by resolution converting, each pixel block composed of a prescribed number of longitudinal and lateral pixels is defined as a processing unit and while using a value Mag or offset value as information on a magnification power, an input data calculator 21 calculates the amount of image data to be stored in an input buffer 25 such that the amount of image data to be stored in the input buffer 25 or output buffer 32 can be equal to or less than the amount of image data for pixel blocks. In a timing generator 22, the amount of the image data to be stored in the input buffer 25 is controlled.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-224715

(P2003-224715A)

(43) 公開日 平成15年8月8日(2003.8.8)

(51) Int.Cl.⁷

識別記号

F I

ターミナル (参考)

H 0 4 N 1/393

H 0 4 N 1/393

5 B 0 5 7

G 0 6 T 3/40

G 0 6 T 3/40

D 5 C 0 7 6

審査請求 未請求 請求項の数10 O L (全 18 頁)

(21) 出願番号 特願2002-23480(P2002-23480)

(22) 出願日 平成14年1月31日(2002.1.31)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 寺田 聡

神奈川県横浜市保土ヶ谷区神戸町134番地

ソニー・エルエスアイ・デザイン株式会

社内

(74) 代理人 100082762

弁理士 杉浦 正知

Fターム(参考) 5B057 CA12 CA16 CB12 CB16 CC01

CD07 CH08 CH11

5C076 AA21 AA22 BA06 BB03 BB06

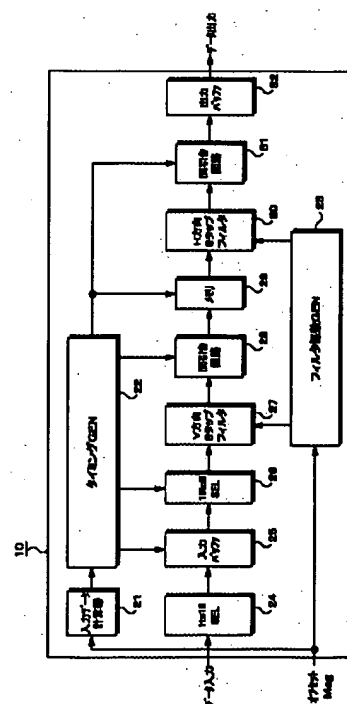
CA02 CA08 CB01 CB04

(54) 【発明の名称】 画像処理回路および画像処理方法

(57) 【要約】

【課題】 画像の拡大／縮小処理（解像度変換）を行う回路の回路規模を縮小する。

【解決手段】 画像データを解像度変換により拡大／縮小処理を行う場合に、処理単位を縦横所定の画素数から構成される画素ブロック毎とし、入力バッファ25または出力バッファ32に記憶する画像データの量が、それぞれ画素ブロック分の画像データの量以下となるような入力バッファ25に記憶する画像データの量を、倍率に関する情報である値Magやオフセット値を用いて、入力データ計算器21で計算し、タイミングジェネレータ22において入力バッファ25に記憶する画像データの量を制御する。



【特許請求の範囲】

【請求項1】 画素単位からなるデジタルデータである画像情報を拡大／縮小変換可能な画像処理回路において、

縮小の入力指示により、縦横所定の画素数により構成される画素ブロックの画像情報を入力し、上記画素ブロック毎に縮小の演算をして出力する縮小手段と、
拡大の入力指示により、出力される画像情報が縦横所定の画素数により構成される画素ブロックとなるように拡大の演算をして出力する拡大手段とを有することを特徴とする画像処理回路。

【請求項2】 上記画素ブロックが縦横それぞれ16画素から構成されることを特徴とする請求項1に記載の画像処理回路。

【請求項3】 上記画素ブロックが、1画面の画像情報の領域分割により構成されていることを特徴とする請求項1に記載の画像処理回路。

【請求項4】 上記縮小および拡大の演算は、フィルタ係数を切り換えることにより画像情報の解像度を変換することを特徴とする請求項1に記載の画像処理回路。

【請求項5】 画素単位からなるデジタルデータである画像情報の拡大／縮小変換を行う画像処理方法において、

縮小の入力指示の場合、縦横所定の画素数により構成される画素ブロックの画像情報を入力し、上記画素ブロック毎に縮小の演算をして出力し、
拡大の入力指示の場合、出力される画像情報が縦横所定の画素数により構成される画素ブロックとなるように拡大の演算をして出力することを特徴とする画像処理方法。

【請求項6】 画素単位からなるデジタルデータである画像情報の解像度を変換する画像処理回路において、少なくとも縦横所定の画素数で構成される画素ブロック分の量の上記画像情報を記憶可能な第1の記憶手段と、上記第1の記憶手段により記憶された上記画像情報を読み出し、指定された倍率に基づき解像度の変換を行う解像度変換手段と、

上記解像度変換手段から出力された少なくとも縦横所定の画素数で構成される画素ブロック分の量の画像情報を記憶可能な第2の記憶手段と、

上記指定された倍率が1以下であるときには、上記第1の記憶手段により記憶される画像情報の量が、上記画素ブロック分の画像情報の量以下となるように、上記第1の記憶手段に入力する画像情報の量を計算し、上記指定された倍率が1より大きいときには、上記第2の記憶手段により記憶される画像情報の量が、上記画素ブロック分の画像情報の量以下となるように、上記第1の記憶手段に入力する画像情報の量を計算する計算手段と、
上記計算手段による計算結果に基づき、上記第1の記憶手段に入力する上記画像情報の量を制御する制御手段と

を有することを特徴とする画像処理回路。

【請求項7】 上記画素ブロックが縦横それぞれ16画素から構成されることを特徴とする請求項6に記載の画像処理回路。

【請求項8】 上記画素ブロックが、1画面の画像情報の領域分割により構成されていることを特徴とする請求項6に記載の画像処理回路。

【請求項9】 上記解像度変換手段は、フィルタ係数を切り換えることにより画像情報の解像度を変換することを特徴とする請求項6に記載の画像処理回路。

【請求項10】 画素単位からなるデジタルデータである画像情報の解像度を変換する画像処理方法において、

少なくとも縦横所定の画素数で構成される画素ブロック分の量の上記画像情報を記憶可能な第1の記憶のステップと、

上記第1の記憶のステップにより記憶された上記画像情報を読み出し、指定された倍率に基づき解像度の変換を行う解像度変換のステップと、

上記解像度変換のステップから出力された少なくとも縦横所定の画素数で構成される画素ブロック分の量の画像情報を記憶可能な第2の記憶のステップと、

上記指定された倍率が1以下であるときには、上記第1の記憶のステップにより記憶される画像情報の量が、上記画素ブロック分の画像情報の量以下となるように、上記第1の記憶のステップに入力する画像情報の量を計算し、上記指定された倍率が1より大きいときには、上記第2の記憶のステップにより記憶される画像情報の量が、上記画素ブロック分の画像情報の量以下となるように、上記第1の記憶のステップに入力する画像情報の量を計算する計算のステップとを有し、

上記計算のステップによる計算結果に基づき、上記第1の記憶のステップに入力する上記画像情報の量を制御することを特徴とする画像処理方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、画像データの拡大および縮小を小さな回路規模で行うようにした画像処理回路および画像処理方法に関する。

【0002】

【従来の技術】画像処理において、画像サイズを元の画像に対して拡大／縮小する処理は、一般的に行われている。この画像サイズ変換処理は、固定的な画素数に対して行われる。拡大処理は、例えば水平および垂直に拡大された画素間に対し補間処理を行い画素を補充することにより行われ、縮小処理は、例えば元の画像データに対して間引き処理を行い、画素数を所定に減少させることにより行われる。このように、画像の解像度を変換することにより、画像サイズの変更を行っている。

【0003】このような画像サイズの拡大／縮小処理を

行う解像度変換回路を、水平および垂直方向のフィルタ、拡大処理用の入出力バッファ、縮小処理用の間引き回路により構成した場合、その回路規模は、データの処理単位に大きく依存することになる。

【0004】従来では、上述の解像度変換を行う際に、画像データをライン単位で処理していた。すなわち、画像データ処理を行う場合、水平同期信号を基に1画面の画像データをライン本数分の数に分割し、1ライン毎に解像度変換処理を施していた。図12は、従来の画像データ処理単位およびタイミングの一例の図を示す。図12Aは、1画面の画像データを処理するときのデータ処理単位を示し、図12Bは1画面の画像データ処理のタイミングチャートを示し、図12Cは1画面の画像データ処理期間を示す。図12Aに示すような、例えば1画面が720×480画素の画像データを処理する場合に、従来は、1画面の画像データを水平同期信号に沿って480個のライン単位に分割し、1ライン毎に画像処理を行っていた。すなわち、図12Bに示す1フレーム同期信号(Frame Sync)に対してライン本数分、すなわち480個に分割された水平同期信号HDにより、図12Cに示すように1フレーム周期に480回のデータ処理を行っていた。

【0005】

【発明が解決しようとする課題】このように画像データをライン単位で処理する場合には、垂直方向のフィルタの入力バッファとしてフィルタのタップ数分のラインメモリを用意する必要がある。図13は、入力バッファへのデータ入力および出力の一例の図を示す。図12Aに示すような、例えば1ライン720画素の画像データをライン毎に入力し、1to8セレクタ201を介して垂直方向処理用の8タップフィルタへ出力可能とするためには、図13に示すように入力バッファ202は、少なくとも720ワード×8ビット分の容量を有するバッファを8個用いて構成する必要がある。

【0006】そのため、特に、このような8タップなど高次の補間を行うフィルタを使用する場合においては、画像データをライン単位で処理する処理方法では、ラインメモリ数が多く必要となるという問題点があった。

【0007】一方、処理を、水平および垂直方向の所定画素数で画像データを区切ったブロック単位で行うことも考えられる。ところが、この場合、画像データの入力量が一定量であると、最大拡大時を想定した出力バッファを用いる必要があり、回路規模が増大してしまうという問題点があった。

【0008】したがって、この発明の目的は、画像の拡大/縮小を、比較的小規模の回路構成で実現でき、原価削減が可能な画像処理回路および方法を提供することにある。

【0009】

【課題を解決するための手段】この発明は、上述した課

題を解決するために、画素単位からなるデジタルデータである画像情報を拡大/縮小変換可能な画像処理回路において、縮小の入力指示により、縦横所定の画素数により構成される画素ブロックの画像情報を入力し、画素ブロック毎に縮小の演算をして出力する縮小手段と、拡大の入力指示により、出力される画像情報が縦横所定の画素数により構成される画素ブロックとなるように拡大の演算をして出力する拡大手段とを有することを特徴とするものである。

【0010】また、この発明は、画素単位からなるデジタルデータである画像情報の解像度を変換する画像処理回路において、少なくとも縦横所定の画素数で構成される画素ブロック分の量の画像情報を記憶可能な第1の記憶手段と、第1の記憶手段により記憶された画像情報を読み出し、指定された倍率に基づき解像度の変換を行う解像度変換手段と、解像度変換手段から出力された少なくとも縦横所定の画素数で構成される画素ブロック分の量の画像情報を記憶可能な第2の記憶手段と、指定された倍率が1以下であるときには、第1の記憶手段により記憶される画像情報の量が、画素ブロック分の画像情報の量以下となるように、第1の記憶手段に入力する画像情報の量を計算し、指定された倍率が1より大きいときには、第2の記憶手段により記憶される画像情報の量が、画素ブロック分の画像情報の量以下となるように、第1の記憶手段に入力する画像情報の量を計算する計算手段と、計算手段による計算結果に基づき、第1の記憶手段に入力する画像情報の量を制御する制御手段とを有することを特徴とするものである。

【0011】上述したように、この発明によれば、画素単位からなるデジタルデータである画像情報を拡大/縮小変換可能な画像処理回路において、縮小の入力指示の場合には、縦横所定の画素数により構成される画素ブロックの画像情報を入力し、画素ブロック毎に縮小の演算をして出力し、拡大の入力指示の場合には、出力される画像情報が縦横所定の画素数により構成される画素ブロックとなるように拡大の演算をして出力することにより、拡大/縮小処理時の入力および出力画像情報の量が、画素ブロック分の画像情報の量以下となるように制御される。

【0012】また、この発明によれば、画素単位からなるデジタルデータである画像情報の解像度を変換する画像処理回路において、計算手段による計算結果に基づき、第1の記憶手段に入力する画像情報の量を制御手段により制御することにより、第1の記憶手段に記憶される画像情報の量、または第1の記憶手段により記憶された画像情報を読み出し、解像度変換手段により解像度の変換が施された画像情報の記憶を行う第2の記憶手段に記憶される画像情報の量が、縦横所定の画素数で構成される画素ブロック分の画像情報の量以下となるように制御される。

【0013】

【発明の実施の形態】まず、この発明の一実施形態による画像処理装置について説明する。図1はこの発明の一実施形態による画像処理装置の一例の全体図を示す。

【0014】図1に示す画像処理装置1は、撮像部分を省略したビデオカメラ装置であり、画像処理を行う解像度変換回路10の他に、カメラインタフェース11、外部インタフェース12、SDRAM (Synchronous dynamic random access memory) 13およびビデオインタフェース14とを備える。

【0015】カメラインタフェース11は、例えばCCD (Charge Coupled Device) カメラなど、撮像カメラにより生成された画像情報を取り込むインタフェースである。外部インタフェース12は、例えばIEEE (Institute of Electrical and Electronics Engineers) 1394やUSB (Universal Serial Bus) などにより、画像処理装置1の外部から画像情報を取り込むインタフェースである。

【0016】SDRAM13は、例えば画像情報をフレーム単位で格納可能なフレームメモリであり、カメラインタフェース11または外部インタフェース12などのインタフェースを介して入力される画像情報が蓄えられる。またSDRAM13は、蓄えた画像情報を解像度変換回路10に読み出し、解像度変換回路10において解像度変換処理を施し、解像度が変換された画像情報を再び取り込むことも可能である。ビデオインタフェース14は、SDRAM13から入力される画像情報をビデオ出力するためのインタフェースである。

【0017】解像度変換回路10は、入力された画像情報に拡大/縮小などの処理（解像度変換処理）を施す回路である。この解像度変換回路10は、縦横所定数の画素からなるブロック毎に拡大/縮小などの解像度変換処理を施す。

【0018】また、図1には図示しないが、画像処理装置1の各ブロックは、例えばCPU (Central Processing Unit) などの制御装置と接続され制御可能に構成されている。

【0019】この発明の一実施形態による画像処理装置1においては、まずカメラインタフェース11または外部インタフェース12などを介して入力される画像情報が、SDRAM13に入力され、例えば1フレーム単位で記憶される。

【0020】SDRAM13に記憶された画像情報は、縦横所定数の画素より構成されるブロックに分割されて、SDRAM13より読み出され、解像度変換回路1

倍率＝入力画素間距離／出力画素間距離

【0026】すなわち、式(1)により出力画素間距離

出力画素間距離＝入力画素間距離／倍率

【0027】図3は、具体的な入力画素および出力画素を示す一例の図である。なお、図3中の、値Magは出

0に入力される。そして、解像度変換回路10において、ブロック単位の画像情報に、図示しない制御部からの拡大/縮小などの指示に応じた解像度変換処理が施される。処理終了後、ブロック単位の画像データは、SDRAM13の所定のアドレスに書き込まれる。これら一連の動作をSDRAM13に記憶された画像情報全体の各ブロック毎に順次施す。

【0021】そして、SDRAM13へ入力された1フレーム分の画像情報が、例えば1フレーム周期後に、SDRAM13から読み出され、ビデオインタフェース14に入力され、シリアルデータのビデオ信号に変換され画像処理装置1の外部へ出力される。

【0022】ここで、この一実施形態による解像度変換回路10において用いる入力画素間距離と出力画素間距離との関係および画像処理単位について詳しく説明する。

【0023】まず、入力画素間距離と出力画素間距離との関係について説明する。図2は、拡大時の入力画素と出力画素との対応を示す一例の図である。なお、図2においては説明を容易にするため、入力画素と出力画素との初期位相値（オフセット値）については考慮しないものとする。輝点41a～41cは、実際に画像データが出力される水平方向の輝点である。すなわち、例えばこの輝点は、ディスプレイ装置などにおける実際の表示素子の輝点に相当する。画素42a～42cは水平方向の入力画素である。画素43a～43cは、画素42a～42cを単純に拡大した水平方向の仮想的な画素である。なお、この場合オフセット値を考慮しないため、画素43aのみ仮想画素と出力画素とが同一座標となる。

【0024】図2に示すように、例えば入力画素間距離L1を仮想画素間距離L2に拡大する場合には、画素43b、43cの位置に実際の輝点がないため、入力画素データから輝点41b、41cに対応する位置の画素である画素44b、44cを求め、求めた画素44b、44cを、それぞれ輝点41b、41cにて出力する。この入力画素に対する拡大時の輝点に対応する画素間の距離L3が出力画素間距離である。したがって、拡大時は、（入力画素間距離L1）＞（出力画素間距離L3）の関係となる。同様に、縮小時は、（入力画素間距離L1）＜（出力画素間距離L3）の関係となり、等倍時は、（入力画素間距離L1）＝（出力画素間距離L3）の関係となる。

【0025】具体的には、入力画素間距離と出力画素間距離との関係は、式(1)のように表すことができる。

・・・(1)

は、以下に示す式(2)により求められる。

・・・(2)

力画素間距離の値を示し、オフセット値は入力画素に対する出力画素の初期位相の値を示す。

【0028】上述した式(1)より、図3に示す例にお

$$\text{倍率} = 256 / \text{値Mag}$$

【0029】したがって、図3に示す値Magは、以下

$$\text{値Mag} = 256 / \text{倍率}$$

【0030】この発明の一実施形態である解像度変換回路10では、この値Magおよびオフセット値を用いて入力バッファ25および出力バッファ32への入力および出力する画像データの量を計算する。この値Magおよびオフセット値を用いた計算の説明は後述する。

【0031】次に、この発明の一実施形態である解像度変換回路10における画像処理単位について詳しく説明する。図4は、この一実施形態による解像度変換回路10において、1画面のサイズが720×480画素の画像データに処理を施す場合の画像データ処理単位およびタイミングの図である。図4Aは、この一実施形態による解像度変換回路10における1画面の画像データ処理単位を示し、図4Bは1画面の画像データ処理のタイミングチャートを示し、図4Cは1画面の画像データ処理期間を示す。

【0032】図4Aに示すように、この一実施形態による解像度変換回路10では、1画面の画像データを縦横16×16画素からなる画素ブロックに分割し、1ブロック毎に画像データの処理を行う。したがって、この場合、図4Bに示す1フレーム同期信号(Flame Sync)に対してブロックの総数、すなわち1350個のブロック同期信号(Block Sync)を割り当てる。すなわち、図4Cに示すように1フレーム周期に1350回のデータ処理を解像度変換回路10において行う。

【0033】図5は、この発明の一実施形態による解像度変換回路10の一例を示す。この図5に示す解像度変換回路10は、縦横16×16画素からなる画素ブロックを解像度変換の処理単位とし、水平および垂直方向ともに8タップフィルタを用いて画像データに解像度変換処理を行う。

【0034】まず、この一実施形態における解像度変換回路10の構成について説明する。図5に示すように、この解像度変換回路10は、入力データ計算器21、タイミングジェネレータ22、フィルタ係数ジェネレータ23、1to16セレクト24、入力バッファ25、16to8セレクト26、V(垂直)方向8タップフィルタ27、間引き回路28、メモリ29、H(水平)方向8タップフィルタ30、間引き回路31および出力バッファ32などにより構成される。

【0035】入力データ計算器21は、入力される値Mag、オフセット値および所定の入力画素間距離、固定データ数などにより拡大または縮小率に応じた入出力画像データ数の計算を行う。タイミングジェネレータ22は、V方向8タップフィルタ27、H方向8タップフィルタ30、入力バッファ25、出力バッファ32およびメモリ29などの処理タイミングを制御するタイミング

いは、以下に示す式(3)が成り立つ。

$$\dots (3)$$

に示す式(4)により求められる。

$$\dots (4)$$

信号を生成する。

【0036】フィルタ係数ジェネレータ23は、入力される値Magおよびオフセット値を基に、指定された画像の拡大または縮小率に応じてV方向8タップフィルタ27およびH方向8タップフィルタ30で用いるフィルタ係数を生成する。

【0037】1to16セレクト24は、縦横16×16画素からなる1ブロックの画像データを、図示しないデータ入力量調整回路によりSDRAM13から読み出し、16個の16ワード×8ビットの画像データとして入力バッファ25へ供給する。入力バッファ25は、1to16セレクト24により分割された16個の16ワード×8ビットからなる画像データのバッファリングを行う。入力バッファ25への入力画像データ数は、タイミングジェネレータ22により制御される。16to8セレクト26は、入力バッファ25によりバッファリングされている画像データから、垂直または水平に連続する8個の画素の画像データを選択する。

【0038】図6は、入力バッファ25への画像データの入力および出力を示す一例の詳細図である。図6に示すように、1to16セレクト24により分割された画像データを、入力バッファ25からV方向8タップフィルタ27へ出力するためには、入力バッファ25としては1ブロック分の画像データを入力可能であればよい。すなわち、少なくとも16ワード×8ビット分のメモリ容量を有するバッファを16個用いて構成すればよい。これにより、1ブロック分の画像データが、入力バッファ25でバッファリングされ、V方向8タップフィルタ27へ出力可能となる。

【0039】図5に示すV方向8タップフィルタ27は、16to8セレクト26により選択された垂直方向に連続する画像データに対して、フィルタ係数ジェネレータ23から供給されるフィルタ係数を用いて、垂直方向に畳み込み演算を行う。間引き回路28は、縮小処理の場合に、垂直方向に連続する画像データに対して、タイミングジェネレータ22によるタイミングにて画像データの間引き処理を行う。メモリ29は、間引き回路28から読み出された画像データを一時的に記憶するメモリである。

【0040】H方向8タップフィルタ30は、メモリ29から読み出された画像データに対して、フィルタ係数ジェネレータ23から供給されたフィルタ係数を用いて、水平方向に畳み込み演算を行う。間引き回路31は、縮小処理の場合に、水平方向に連続する画像データに対して、タイミングジェネレータ22によるタイミングにて画素データの間引き処理を行う。出力バッファ3

2は、間引き回路31から読み出された画像データのバッファリングを行う。

【0041】ここで、この一実施形態による解像度変換回路10における拡大処理および縮小処理について説明する。図7は、画像データを3倍に拡大した場合の拡大処理の動作原理およびこの発明の一実施形態による解像度変換回路10のタイミングチャートであり、図8は、画像データを3分の1に縮小した場合の縮小処理の動作原理およびこの発明の一実施形態による解像度変換回路10のタイミングチャートである。

【0042】まず、図7に示す拡大処理時の動作について説明する。図7Aは入力画素を示し、図7Bは、図7Aの入力画素に対する出力画素の様子を示す。この図7Aおよび図7Bに示す動作原理においては、拡大の際には1個の入力画素に対して拡大倍数分、すなわちこの場合1個の入力画素に対して3個の出力画素を生成することで画像データを拡大している。

【0043】図7C～図7Fは、画像データを3倍に拡大したときのデータ入出力のタイミングチャートである。図7Cはクロックのタイミングであり、図7Dは入力データの変化のタイミングであり、図7Eはフィルタ係数の変化のタイミングであり、図7Fは出力データの変化のタイミングである。

【0044】図7Cおよび図7Dに示すように、画像データを3倍に拡大する場合には、画素単位の入力画像データを入力バッファ25において、3クロック分保持（ホールド動作）させる。そして、図7C～図7Eに示すようにフィルタ係数を1個の入力データに対して3回変化させる。これにより、図7Fに示すように、1個の画素単位の入力画像データに対して3個の画素単位の画像データが生成され出力される。（例えば入力1に対して出力1, 2, 3）

【0045】次に、図8に示す縮小処理時の動作について説明する。図8Aは入力画素を示し、図8Bは、図8Aの入力画素に対する出力画素の様子を示す。この図8Aおよび図8Bに示す動作原理においては、縮小の際には縮小倍率の逆数分、すなわち3個の入力画素から1個の出力画素を間引き処理により生成することで画像データを縮小している。

【0046】図8C～図8Gは、画像データを3分の1に縮小したときのデータ入出力のタイミングチャートである。図8Cはクロックのタイミングであり、図8Dは入力データの変化のタイミングであり、図8Eはフィルタ係数の変化のタイミングであり、図8Fはデータ取り込み信号のタイミングであり、図8Gは出力データの変化のタイミングである。

【0047】図8Cおよび図8Dに示すように、画像データを3分の1に縮小する場合には、画素単位の画像データはクロックと同期して入力される。そして、図8C～図8Eに示すようにフィルタ係数を3個の入力画像デ

ータ、すなわち3クロックに対して1回ずつ変化させる。そして、図8Fに示す3クロック毎のデータ取り込み信号によって、図8Gに示すように3クロック分ずつ同じ画素単位の画像データが出力される。

【0048】次に、図5に示す一実施形態による解像度変換回路10における拡大／縮小の動作について説明する。解像度変換回路10に対して画像縮小の指示がなされた場合には、まず縮小率によってあらかじめ計算された、値Magおよびオフセット値が入力データ計算器21およびフィルタ係数ジェネレータ23に入力される。また、SDRAM13の画像データが縦横16×16画素の画素ブロック単位で1 to 16セクタ24に入力される。

【0049】1 to 16セクタ24において、上述したように、画像データは、16ワード×8ビットからなる16個の画像データに分割され、少なくとも16ワード×8ビットのデータを格納可能な16個からなる入力バッファ25に入力され、バッファリングされる。このときの入力画像データ量は、入力される値Magおよびオフセット値ならびに所定の入力画素間距離および固定画像データ量の値により、入力データ計算器21において、入力バッファ25および出力バッファ32の最大格納可能ワード数に対応した値に計算される。計算方法の詳細については、後述する。入力データ計算器21によって計算された計算結果に基づき、入力バッファ25への画像データの取り込みタイミングが、入力バッファ25へ供給されるタイミングジェネレータ22で生成されるタイミング信号を基に制御される。

【0050】16 to 8セクタ26では、16 to 8セクタ26に供給されるタイミングジェネレータ22で生成されるタイミング信号に基づき、入力バッファ25にてバッファリングされている画像データから、垂直に連続する8個の画素の画像データが選択される。選択された画像データは、値Magおよびオフセット値によりあらかじめフィルタ係数ジェネレータ23で所定に生成されたV方向8タップフィルタ27に供給されるフィルタ係数を用いて、V方向8タップフィルタ27で畳み込み演算され、フィルタ処理される。V方向8タップフィルタ27の出力は、間引き回路28に供給される。間引き回路28では、タイミングジェネレータ22により生成される間引き回路28に供給されるタイミング信号に基づき、メモリ29へのデータ取り込みタイミングの制御を行う。これにより、倍率に応じた画素単位の画像データが間引き回路28で間引きされ、メモリ29に供給され一時的に記憶される。

【0051】次に、メモリ29に記憶された垂直方向に縮小処理が施された画像データは、メモリ29に供給されるタイミングジェネレータ22で生成されるタイミング信号に基づき、H方向8タップフィルタ30に入力される。H方向8タップフィルタ30では、水平に連続す

る8個の画素の画像データに対して、値Magおよびオフセット値によりあらかじめフィルタ係数ジェネレータ23で所定に生成されたH方向8タップフィルタ30に供給されるフィルタ係数を用いて、H方向8タップフィルタ30で畳み込み演算され、フィルタ処理される。H方向8タップフィルタ30の出力は、間引き回路31に供給される。間引き回路31では、タイミングジェネレータ22により生成される間引き回路31に供給されるタイミング信号に基づき、出力バッファ32へのデータの取り込みタイミングの制御を行う。これにより、倍率に応じた画素単位の画像データが間引き回路31で間引きされる。間引き回路31の出力は、出力バッファ32に供給され、バッファリングされる。

【0052】このように、縮小処理においては、間引き回路28による画像データのメモリ29への取り込みタイミングの制御、ならびに間引き回路31による画像データの出力バッファ32への取り込みタイミングを制御することにより画素数を減少する。

【0053】次に、図5に示す一実施形態による解像度変換回路10において画像拡大の指示がなされた場合について説明する。拡大処理の場合には、まず拡大率によってあらかじめ計算された値Magおよびオフセット値が入力データ計算器21およびフィルタ係数ジェネレータ23に入力される。また、SDRAM13の画像データが縦横16×16画素の画素ブロック単位で1to16セクタ24に入力される。

【0054】1to16セクタ24において、画像データは16ワード×8ビットからなる16個の画像データに分割され、少なくとも16ワード×8ビットのデータを格納可能な16個からなる入力バッファ25に入力され、バッファリングされる。この入力バッファ25へ入力された画像データは、拡大倍率に応じて入力バッファ25に保持される。そして、同じ画像データを連続して16to8セクタ26に出力する。このときの入力画像データ量は、入力される値Magおよびオフセット値ならびに所定の入力画素間距離および固定画像データ量の値により、入力データ計算器21において、入力バッファ25および出力バッファ32の最大格納可能ワード数に対応した値に計算される。計算方法の詳細については、後述する。入力データ計算器21によって計算された計算結果に基づき、入力バッファ25へのデータの取り込みタイミングが、入力バッファ25へ供給されるタイミングジェネレータ22で生成されるタイミング信号を基に制御される。

【0055】16to8セクタ26では、16to8セクタ26に供給されるタイミングジェネレータ22で生成されるタイミング信号に基づき、入力バッファ25にてバッファリングされている画像データから、垂直に連続する8個の画素の画像データが選択される。選択された画像データは、値Magおよびオフセット値によ

りあらかじめフィルタ係数ジェネレータ23で所定に生成されたV方向8タップフィルタ27に供給されるフィルタ係数を用いて、V方向8タップフィルタ27で畳み込み演算され、フィルタ処理される。V方向8タップフィルタ27の出力は、間引き回路28を介してメモリ29に供給され、一時的に記憶される。

【0056】次に、メモリ29に記憶された垂直方向に拡大処理が施された画像データは、メモリ29に供給されるタイミングジェネレータ22で生成されるタイミング信号に基づき、H方向8タップフィルタ30に入力される。H方向8タップフィルタ30では、水平に連続する8個の画素の画像データに対して、値Magおよびオフセット値により、あらかじめフィルタ係数ジェネレータ23で所定に生成されたフィルタ係数を用いて、H方向8タップフィルタ30で畳み込み演算され、フィルタ処理される。H方向8タップフィルタ30の出力は、間引き回路31を介して出力バッファ32に供給され、バッファリングされる。

【0057】このように、拡大処理においては入力バッファ25において入力画像データをホールド動作させ、同じ画像データを繰り返し16to8セクタ26に出力し、フィルタ係数ジェネレータ23により所定に生成されるフィルタの係数を変化させることにより画素数を増加する。

【0058】ここで、上述した入出力データ数の計算について、より詳しく説明する。図2および図3において説明した値Mag、オフセット値、入力画素間距離および倍率を用いることで、入力バッファ25および出力バッファ32のラインメモリ数に対応した入力バッファ25に入力する画像データ数の計算が可能である。すなわち、この一実施形態では、画像データをブロック単位で変換処理する回路構成において、入力データ計算器21およびタイミングジェネレータ22により、入力および出力の画像データ数を切り換えている。これにより、入力バッファ25および出力バッファ32のバッファ容量の削減が可能となる。

【0059】つまり、縮小時は常に、
1画面サイズ \geq 入力画像サイズ $>$ 出力サイズ
が成り立つので、
入力データ量 $>$ 出力データ量
となる。また、拡大時は逆に、
入力画像サイズ $<$ 出力画像サイズ \leq 1画面サイズ
が成り立つので、
入力データ量 $<$ 出力データ量
となる。

【0060】これを利用して、この一実施形態では、縮小時には入力データ数を16（入力バッファ25を構成するバッファの数）×16画素（入力バッファ25のラインメモリ数）で固定とし、拡大時には出力データ数が16（出力バッファ32を構成するバッファの数）×1

6画素（出力バッファ32のラインメモリ数）で固定となるように切り換えをそれぞれ行っている。

【0061】図9は、入力バッファ25および出力バッファ32のバッファ容量の切り換えを行う入出力データ数切換回路の一例の構成を示す。この回路は、図5に示す入力データ計算器21およびタイミングジェネレータ22の一部により構成される。また、この入出力データ数切換回路100においては、入力画素間距離を図3に示した256とする。

【0062】上述したように、この一実施形態による解像度変換回路10においては、縮小時には入力画像データ数を縦横16×16画素分のデータ数に固定し、拡大時には出力画像データ数を縦横16×16画素分のデータ数に固定する。また、固定データ数は、この一実施形態による解像度変換回路10において、入力バッファ25および出力バッファ32に使用するバッファとして、16本のラインメモリを有するバッファを用いた場合のバッファ1個分の最大格納可能データ数である。したがって、この一実施形態の場合、入力バッファ25および出力バッファ32のラインメモリ数の16が固定データ数となる。このように、16本のラインメモリを有するバッファを16個用いて入力バッファ25および出力バッファ32をそれぞれ構成することで、縦横16×16画素で構成される1ブロック分の画像データの拡大/縮小処理を一度に行うことを可能にしている。

【0063】図9に示すように、入力データ計算器21は、（入力値）×（固定データ数）の処理、すなわち入力値を16倍する乗算器51、（入力値）+（オフセット値）の処理を行う加算器52、（入力値）/（入力画素間距離）の処理、すなわち入力値を256で除算する除算器53、二つの入力値の大小を比較し、比較結果に応じた信号を出力する比較器54、スイッチ信号に応じたデータを選択するセレクト55および入力データに対して1を減じる減算器56とを備える。

【0064】まず、入力データ計算器21に入力された値Magは、乗算器51に入力され、固定データ数が乗じられる。すなわち、値Magは、16倍される。乗算器51の演算結果は、加算器52に入力され、オフセット値が加えられる。加算器52の演算結果（A点の値）は、除算器53に入力され、入力画素間距離で除算される。すなわち、加算器52の演算結果（A点の値）は、256で除算される。これにより、オフセット値を考慮した倍率に対応した入力バッファ25への入力画像データ数を求めることができる。

【0065】除算器53の演算結果（B点の値）は、比較器54に入力され、固定データ数と比較される。すなわち、除算器53の演算結果（B点の値）と16とが比較される。そして、比較結果が（除算器53の演算結果）≥（固定データ数）、すなわち（除算器53の演算結果）≥16ならば、比較器54からのスイッチ信号

（C点の値）を基に、セレクト55により固定データ数側が選択される。すなわち、セレクト55は、固定データ数である16を選択する。

【0066】一方、比較器54での比較結果が（除算器53の演算結果）<（固定データ数）、すなわち（除算器53の演算結果）<16ならば、比較器54からのスイッチ信号（C点の値）を基に、セレクト55により除算器53の出力側が選択される。すなわち、セレクト55は、除算器53の演算結果（B点の値）を選択する。

【0067】減算器56には、セレクト55で選択された値の整数部が入力される。これは、データ数のカウントが整数であるためである。（整数化の回路は、ここでは省略する）減算器56では、整数化されたセレクト55の出力値から1が減じられる。そして、減算器56の演算結果（D点の値）は、タイミングジェネレータ22の比較器59に出力される。減算器56において、入力値から1を減じたのは、後述するアドレスカウンタ57が0からカウントされるためである。

【0068】タイミングジェネレータ22は、制御装置などからの入力開始パルスを検出した際にクロックと同期して固定データ数分（0～15まで）のカウントアップを行うアドレスカウンタ57、二つの入力値の大小を比較し、比較結果に応じて信号を出力する比較器59およびラッチ回路58を一部の構成として備える。

【0069】まず、入力開始パルスがラッチ回路58のセット端子に入力されると、ライトイネーブル信号WEがオン状態となる。このライトイネーブル信号WEがオン状態で、1 to 16セレクト24から出力される画像データが、入力バッファ25の入力端子Dinに入力されると、アドレスカウンタ57により示される入力バッファ25のアドレスADRに画像データが格納される。アドレスカウンタ57は、入力開始パルスの検出によりクロックと同期して0から15まで加算されていく。また、アドレスカウンタ57の値と、上述の入力データ計算器21の減算器56の演算結果（D点の値）とが比較器59にて比較される。比較結果が、（アドレスカウンタ値）=（減算器56の演算結果）となった場合には、ラッチ回路58のリセット端子にリセット信号を入力し、ライトイネーブル信号WEをオフ状態とする。これにより、入力データ計算器21により求められた数に合わせた数の画像データが、1 to 16セレクト24から入力バッファ25に入力される。

【0070】なお、図9では比較器59の比較条件を、（アドレスカウンタ値）=（減算器56の演算結果）としているが、（アドレスカウンタ値）≥（減算器56の演算結果）であってもよい。

【0071】ここで、図9の入出力データ数切換回路100において、（オフセット値）=10、（値Mag）=300である場合の縮小動作、および（オフセット値）=10、（値Mag）=120である場合の拡大動

作について、この入出力データ数切換回路100のタイミングチャートである図10に沿って説明する。図10Aはクロック周期を示し、図10Bは入力開始パルス信号を示し、図10Cはアドレスカウンタの値を示す。また、図10Dは縮小動作の場合のD点の値を示し、図10Eは縮小動作の場合の比較器59の出力タイミングを示し、図10Fは縮小動作の場合のライトイネーブル信号WEの出力タイミングを示す。また、図10Gは拡大動作の場合のD点の値を示し、図10Hは拡大動作の場合の比較器59の出力タイミングを示し、図10Iは拡大動作の場合のライトイネーブル信号WEの出力タイミングを示す。

【0072】まず、縮小動作について説明する。上述図2において説明したように、縮小時には値Magは256以上の値となっている。一方、上述の値Mag、オフセット値の縮小条件では、図9中A点の値は、 $(300 \times 16) + 10 = 4810$ となり、B点の値は、 $4810 / 256 = 18.789 \dots$ となる。したがって、 $16 < (B点の値)$ の関係になるため、C点のスイッチ信号によりセクタ55は16側の接点を選択する。

【0073】すなわち、減算器56には16が入力され、図7Dにも示すようにD点の値は15となる。これにより、図7C～図7Fのタイミングチャートに示すように、入力開始パルス検出により、アドレスカウンタ57の値が0から15にカウントされるまで、ライトイネーブル信号WEがラッチ回路58で生成される。したがって、この場合、16個分の画像データを入力バッファ25に入力するライトイネーブル信号WEが、ラッチ回路58において生成されることになる。アドレスカウンタ57の値が15までカウントされた場合には、比較器59からリセット信号が、ラッチ回路58のリセット端子に入力され、ライトイネーブル信号WEがオフとされる。

【0074】次に、拡大動作について説明する。上述図2において説明したように、拡大時には値Magは256以下の値になっている。一方、上述の値Mag、オフセット値の拡大条件では、図9中A点の値は、 $(120 \times 16) + 10 = 1930$ となり、B点の値は、 $1930 / 256 = 7.539 \dots$ となる。したがって、 $16 > (B点の値)$ の関係になるため、C点のスイッチ信号によりセクタ55は除算器53側の接点を選択する。

【0075】すなわち、減算器56には7が入力され、図7Gにも示すようにD点の値は6となる。これにより、図7C、および図7G～図7Iのタイミングチャートに示すように、入力開始パルス検出により、アドレスカウンタ57の値が0から6にカウントされるまで、ライトイネーブル信号WEがラッチ回路58で生成される。したがって、この場合、7個分の画像データを入力バッファ25に入力するライトイネーブル信号WEが、ラッチ回路58において生成されることになる。アドレ

スカウンタ57の値が6までカウントされた場合には、比較器59からリセット信号が、ラッチ回路58のリセット端子に入力され、ライトイネーブル信号WEがオフとされる。

【0076】このように、値Magおよびオフセット値を用いて、オフセット値を考慮した倍率により、縮小処理を行うか拡大処理を行うかを判断する。縮小処理を行うと判断された場合には、入力バッファ25のラインメモリ数に合わせ、入力バッファ25に入力する画像データ量を制御する。拡大処理を行うと判断された場合には、出力バッファ32のラインメモリ数に合わせ、入力バッファ25に入力する画像データ量を制御する。

【0077】ここで、入力、出力および入出力固定方法による拡大または縮小時に必要なバッファ容量について比較してみる。図11は縦横16×16画素単位による解像度変換処理において、16倍に拡大する場合および1/16倍に縮小する場合のブロック処理時のバッファ容量を、入力固定による解像度変換（入力固定方式）および出力固定による解像度変換（出力固定方式）、およびこの一実施形態による解像度変換（入出力数切換方式）とについて示した図である。

【0078】図11に示すように、毎回一定量の画像データを処理する入力固定方式の場合、出力バッファ容量は拡大倍率に依存する。そのため、16倍の拡大では16×16ワードの入力画像データ量に対し、出力画像データ量は256×256ワードとなる。そのため、バッファ容量は、最低でも256×256ワード分必要となる。一方、毎回一定量の画像データを出力する出力固定方式では、入力バッファ量が縮小率に依存する。そのため、1/16の縮小では16×16ワードの出力画像データ量に対し、入力画像データ量は256×256ワードとなる。そのため、バッファ容量は、最低でも256×256ワード分必要となる。

【0079】これに対し、この一実施形態による入出力切換方式においては、拡大率または縮小率などに応じて入出力画像データ数を切り換えるため、拡大／縮小に応じて入力バッファ25の入力画像データ量または出力バッファ32の入力画像データ量を16×16ワードに固定することができる。したがって、この入出力切換方式では、最低16×16ワード分の容量の入出力バッファにて回路を構成することができる。

【0080】以上説明したように、この一実施形態によれば、縦横16×16画素からなる画素ブロックに分割された1画面の画像情報を画素ブロック単位で入力し、入力バッファ25、V方向8タップフィルタ27、H方向8タップフィルタ30および間引き回路28、31などにより拡大／縮小の処理をする際に、値Magおよびオフセット値を用いて、縮小のときには入力バッファ25の入力画像データ数を固定データ数とし、拡大のときには出力バッファ32の出力画像データ数を固定データ

数とするようにしていることにより、入力バッファ25および出力バッファ32の必要とするバッファ容量が削減され、メモリ29の容量も減らすことができる。

【0081】したがって、これら入力バッファ25、出力バッファ32およびメモリ29などは、レジスタで代用して構成することが可能となる。また、解像度変換回路10を1つのLSI (Large Scale Integrated circuit) にて構築するような場合にもLSIのチップ面積の縮小が可能である。

【0082】これらのことにより、回路基板上への部品レイアウトの容易性およびパターン配線の効率化を向上し、原価削減を可能とする。

【0083】以上、この発明の実施形態について具体的に説明したが、この発明は、上述の実施形態に限定されるものではなく、この発明の技術的思想に基づく各種の変形が可能である。

【0084】例えば、上述の実施形態において挙げた数値はあくまでも例に過ぎず、必要に応じてこれと異なる数値を用いてもよい。

【0085】また例えば、上述の実施形態においては、1ブロックを16×16画素としたが、これに限らずバッファ容量などを考慮して他の大きさのブロックにて構成することも可能である。また例えば、上述の実施形態においては、フィルタのタップ数を8タップとしたが、これに限らず他のタップ数にて構成することも可能である。また例えば、上述の実施形態においては、具体例として入力画素間距離を256としているが、これに限らず入力画素間距離は他の値とすることが可能である。

【0086】また例えば、上述の実施形態においては、V方向の解像度を変換後にH方向の解像度を変換しているが、これに限らずH方向の解像度変換を先に行ってもよい。また例えば、上述の実施形態においては、拡大／縮小の倍率の例として、整数値を使用しているが、整数以外の倍率であってもよい。

【0087】

【発明の効果】以上説明したように、この発明によれば、画素単位からなるデジタルデータである画像情報を拡大／縮小変換可能な画像処理回路において、縮小の入力指示の場合には、縦横所定の画素数により構成される画素ブロックの画像情報を入力し、画素ブロック毎に縮小の演算をして出力し、拡大の入力指示の場合には、出力される画像情報が縦横所定の画素数により構成される画素ブロックとなるように拡大の演算をして出力することにより、拡大／縮小処理時の入力および出力画像情報の量が、画素ブロック分の画像情報の量以下に制御できる。これにより、縮小および拡大時にメモリを使用する場合、メモリの容量を減らすことができる効果がある。

【0088】また、この発明によれば、画素単位からなるデジタルデータである画像情報の解像度を変換する

画像処理回路において、計算手段による計算結果に基づき、第1の記憶手段に入力する画像情報の量を制御手段により制御することで、第1の記憶手段に記憶される画像情報の量、または第1の記憶手段により記憶された画像情報を読み出し、解像度変換手段により解像度の変換が施された画像情報の記憶を行う第2の記憶手段に記憶される画像情報の量が、縦横所定の画素数で構成される画素ブロック分の画像情報の量以下となるように制御される。これにより、画像処理回路を構成する第1の記憶手段および第2の記憶手段として必要となる容量が削減されるため、メモリの容量を減らすことができる効果がある。

【0089】したがって、画像処理回路において、画像情報を一時的に記憶するために、入力および出力バッファ、メモリなどを用いる場合に、これらをレジスタで代用して構成することが可能となり、例えば画像処理回路を1つのLSIにて構築するような場合には、LSIのチップ面積の縮小が可能となる効果がある。

【0090】これらのことにより、回路基板上への部品レイアウトの容易性およびパターン配線の効率化を向上し、比較的小規模の回路構成で拡大／縮小を行う画像処理回路を構成でき、原価削減を可能とできる効果がある。

【図面の簡単な説明】

【図1】この発明の一実施形態による画像処理装置の一例の全体図である。

【図2】拡大時の入力画素と出力画素との対応を示す一例の図である。

【図3】具体的な画素間距離の一例の図を示す。

【図4】この発明の一実施形態による解像度変換回路におけるデータ処理単位およびタイミングの図である。

【図5】この発明の一実施形態による解像度変換回路の一例を示す。

【図6】この発明の一実施形態による解像度変換回路における入力バッファへのデータ入力および出力を示す詳細図である。

【図7】画像データを3倍に拡大した場合の拡大処理の動作原理、およびこの発明の一実施形態による解像度変換回路のタイミングチャートである。

【図8】画像データを3分の1に縮小した場合の縮小処理の動作原理、およびこの発明の一実施形態による解像度変換回路のタイミングチャートである。

【図9】この発明の一実施形態による入出力データ数切換回路の一例の構成を示す。

【図10】この発明の一実施形態による入出力データ数切換回路のタイミングチャートを示す図である。

【図11】縦横16×16画素単位による解像度変換処理における、16倍に拡大する場合および1/16倍に縮小する場合の、ブロック処理時に必要なバッファ容量を示す。

【図12】従来技術における解像度変換回路におけるデータ処理単位およびタイミングの図である。

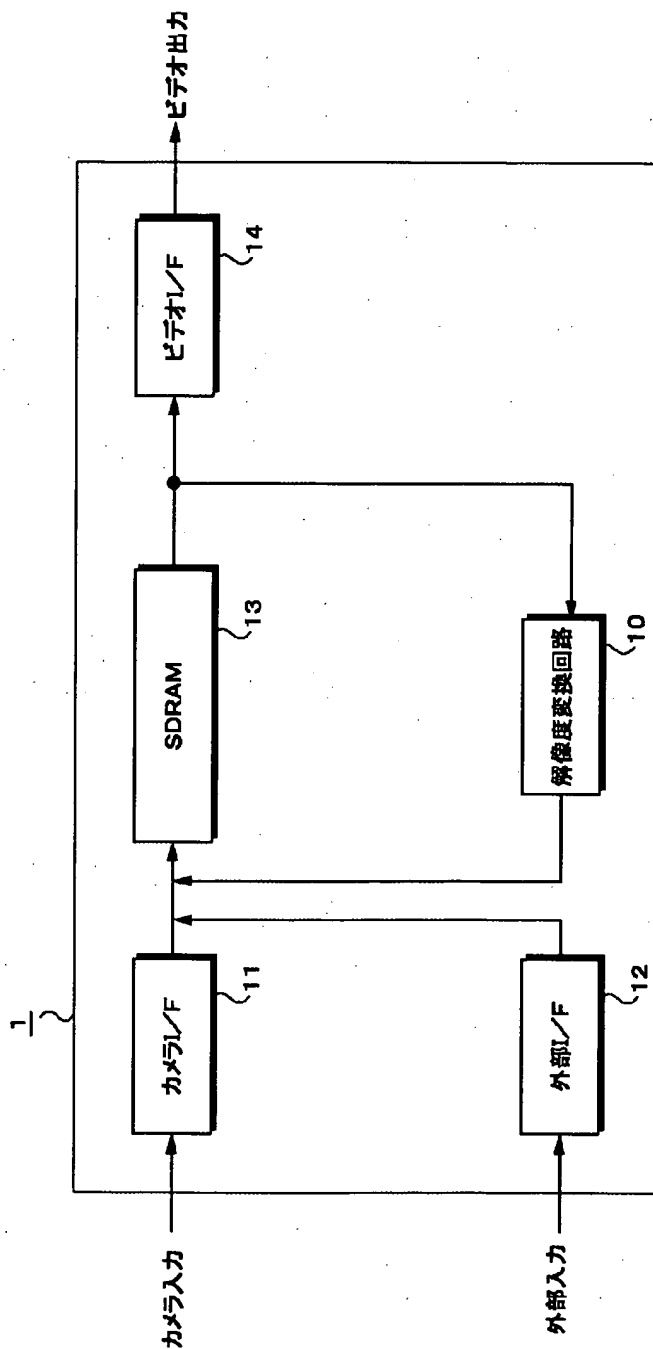
【図13】従来技術における入力バッファへのデータ入力および出力を示す詳細図である。

【符号の説明】

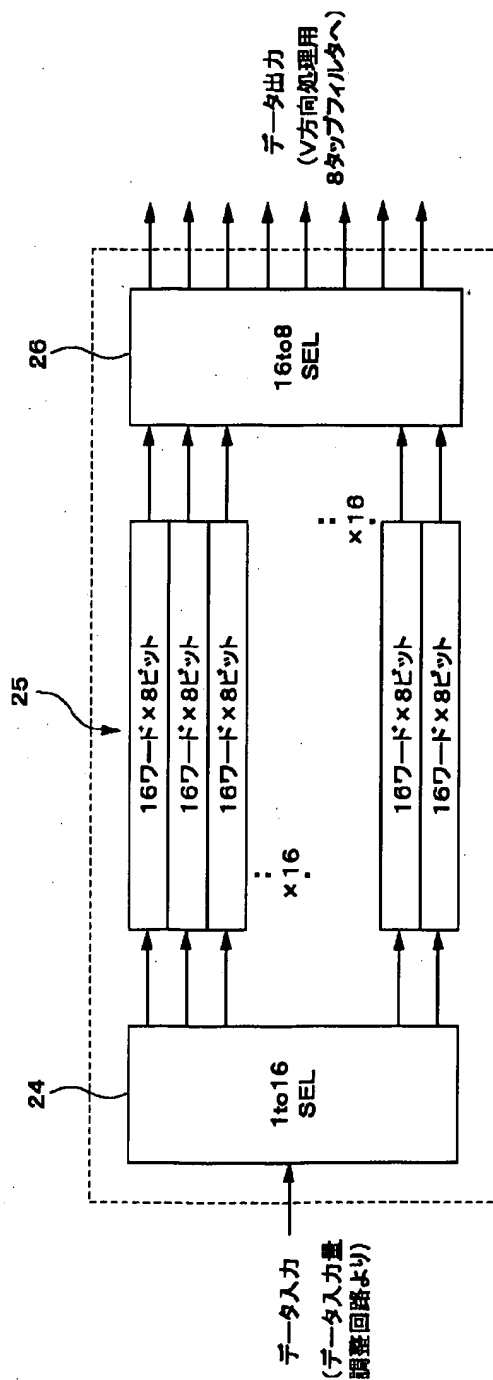
1・・・画像処理装置、10・・・解像度変換回路、21・・・入力データ計算器、22・・・タイミングジェ

ネレータ (GEN)、23・・・フィルタ係数ジェネレータ (GEN)、24・・・1 to 16 セクタ (SEL)、25・・・入力バッファ、26・・・16 to 8 セクタ (SEL)、27・・・V方向8タップフィルタ、28, 31・・・間引き回路、29・・・メモリ、30・・・H方向8タップフィルタ、32・・・出力バッファ

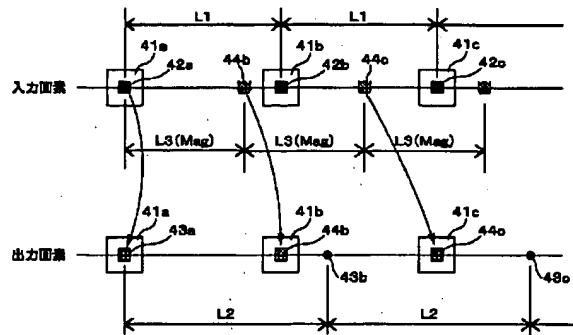
【図1】



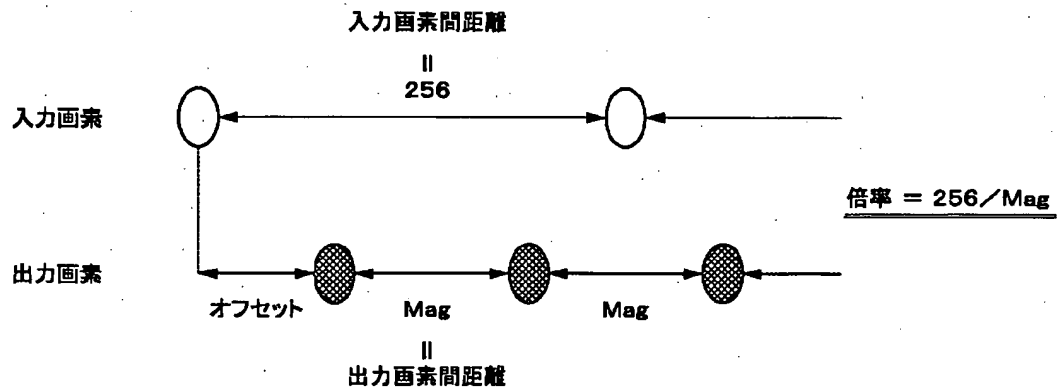
【図6】



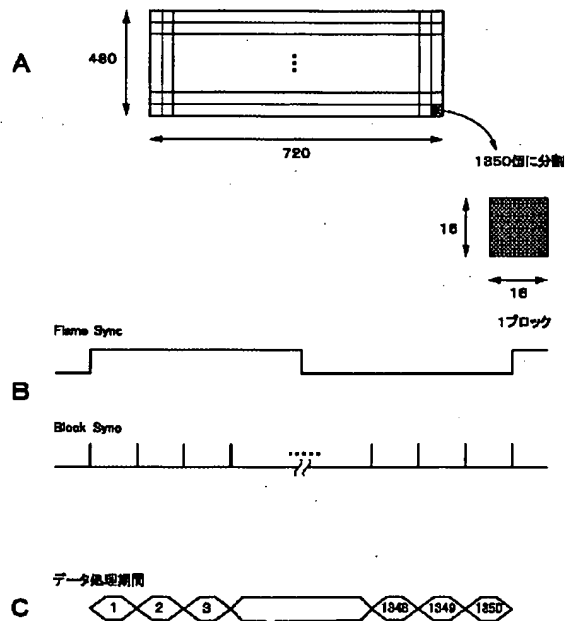
【図2】



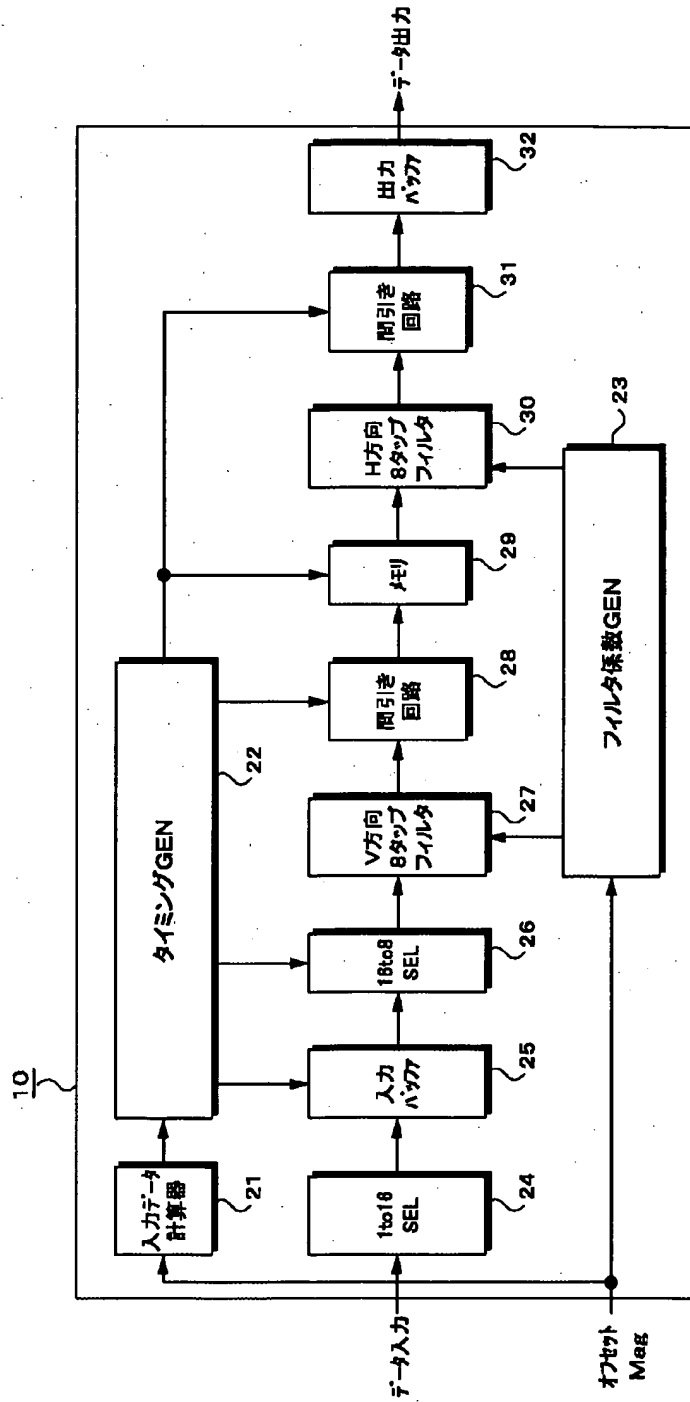
【図3】



【図4】

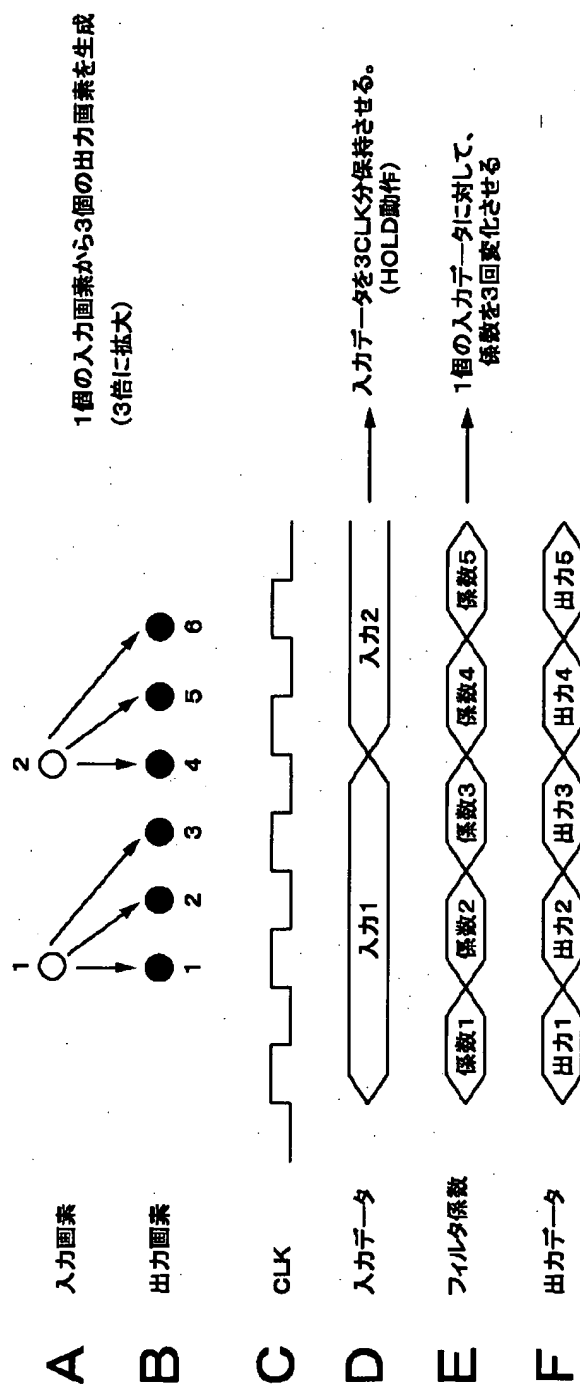


【図5】

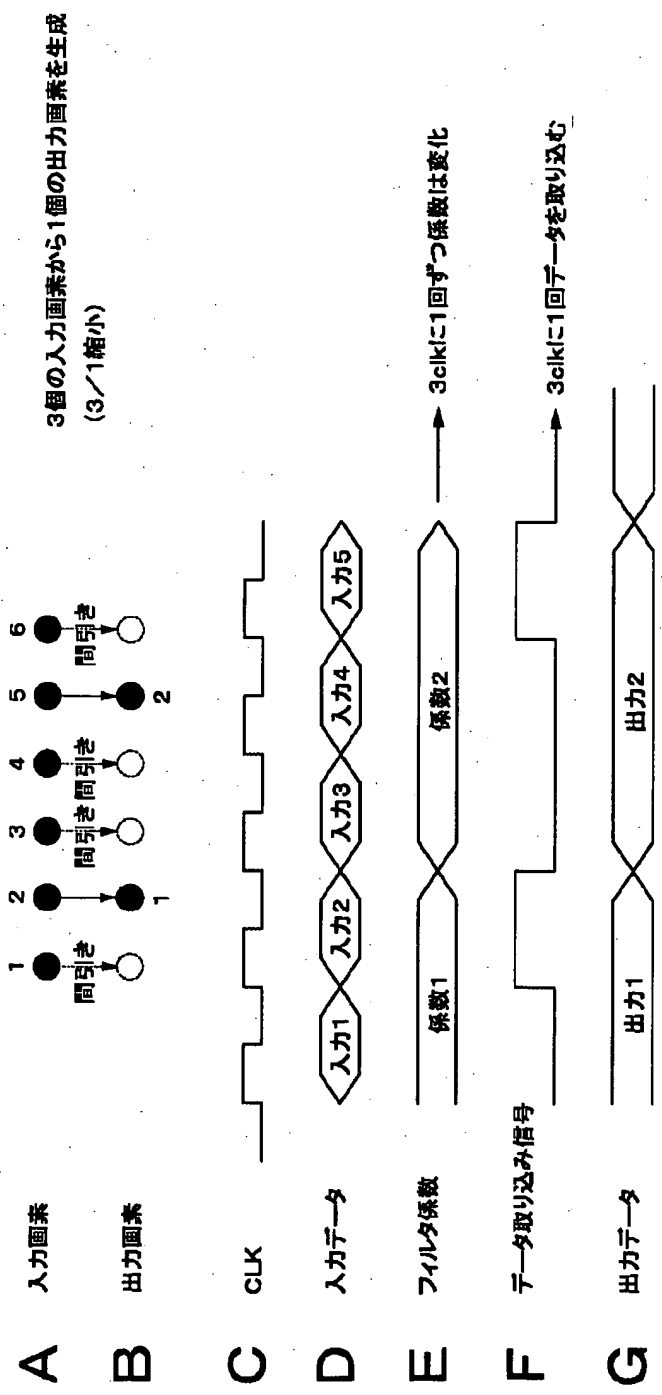


【図11】

	x16倍拡大		x1/16倍縮小		必要バッファ容量	
	入力データ量	出力データ量	入力データ量	出力データ量	入力バッファ	出力バッファ
入力固定方式	16 * 16ワード	256 * 256ワード	16 * 16ワード	1 * 1ワード	16 * 16ワード	256 * 256ワード
出力固定方式	1 * 1ワード	16 * 16ワード	256 * 256ワード	16 * 16ワード	256 * 256ワード	16 * 16ワード
入出力数切換方式(本方式)	1 * 1ワード	16 * 16ワード	16 * 16ワード	1 * 1ワード	16 * 16ワード	16 * 16ワード



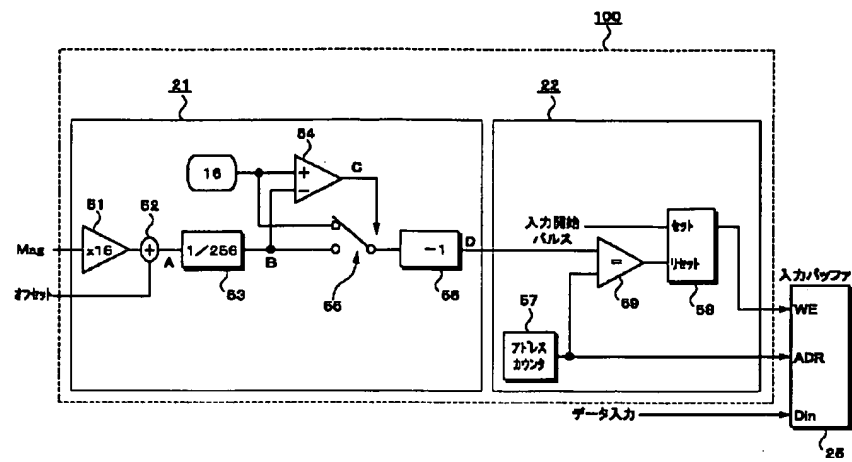
【図 7】



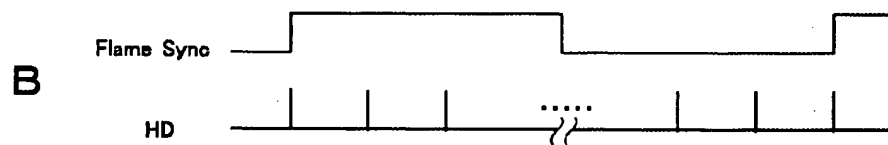
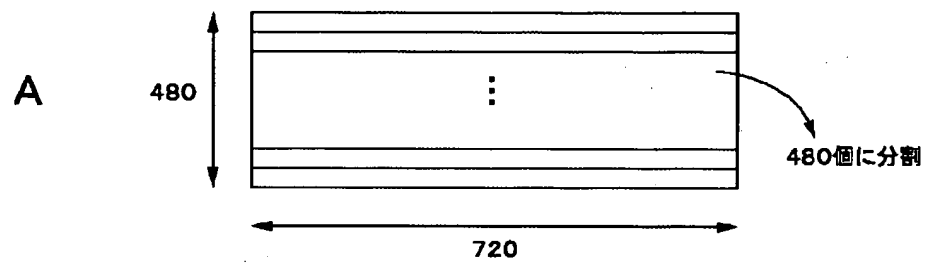
3個の入力画素から1個の出力画素を生成
(3/1縮小)

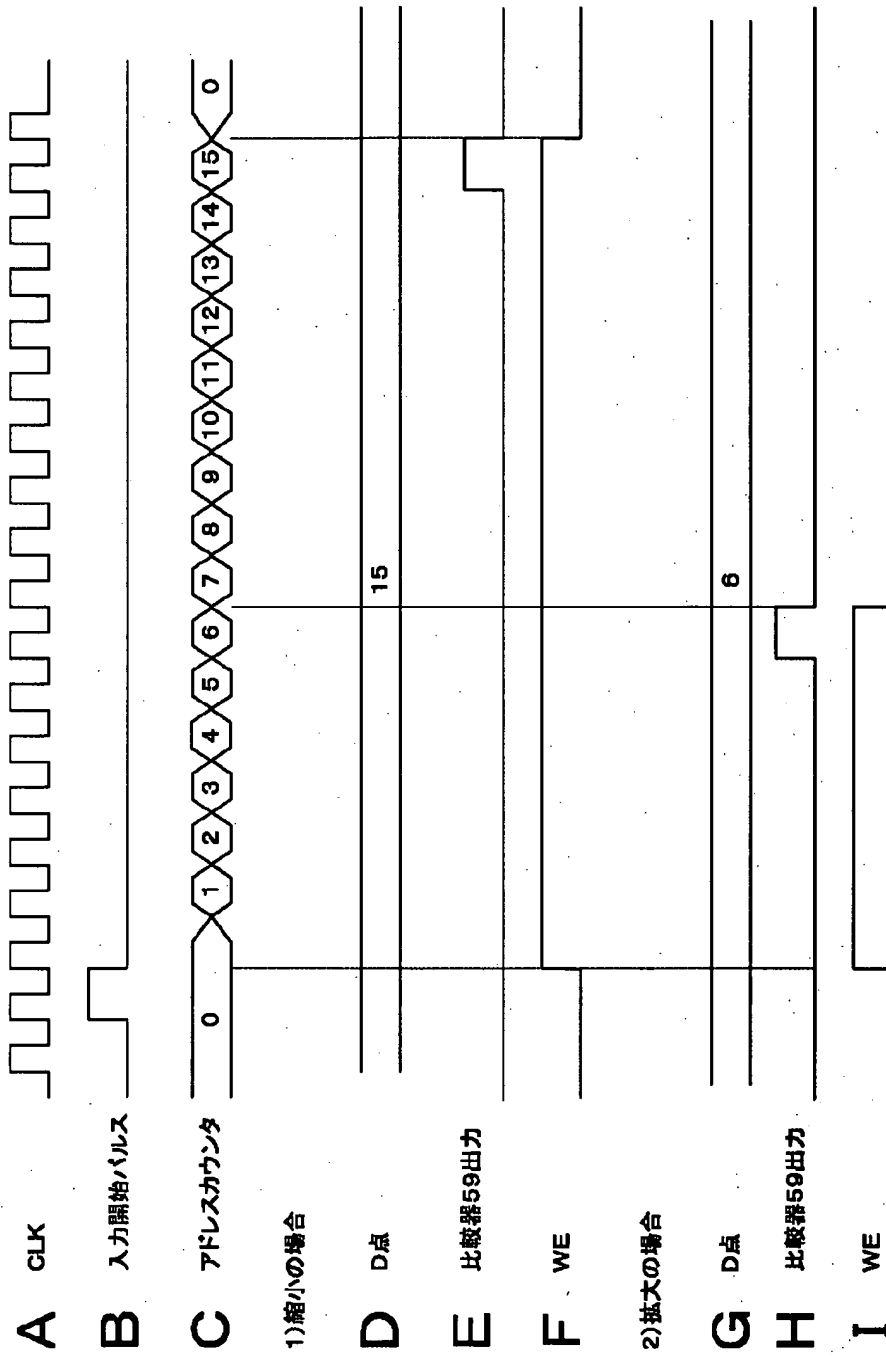
【図 8】

【図9】



【図12】





【図13】

